

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PN - JP4267359 A 19920922

TI - FORMATION OF METAL LAYER

AB - PURPOSE: To enhance barrier performance of Ti series barrier metal.

- CONSTITUTION: A Ti layer 9 and a TiN layer 10 are laminated sequentially while covering a contact hole 8 bored through a layer insulation film 7 oppositely to the source/drain region 5 of a MOS transistor. Inert substance, e.g. N<sub>2</sub>, is then ion implanted to destroy pillar crystal structure of the TiN layer 10 and to produce an amorphous TiN layer 10a. Consequently, a grain boundary providing a high speed diffusion path disappears thus suppressing diffusion of Al or Si. Material such as Al-1%Si is subsequently applied onto the entire surface through sputtering. At that time, the contact hole 8 has good burying characteristics. Furthermore, an Al metal layer 11 is patterned. Excellent barrier performance of the amorphous TiN layer 10a is verified based on measurement results of junction leak current.

I - H01L21/90 ;H01L21/265 ;H01L21/3205

PA - SONY CORP

IN - SUMI HIROBUMI

ABD - 19930204

ABV - 017057

GR - E1315

AP - JP19910047338 19910221

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-267359

(43) 公開日 平成4年(1992)9月22日

(51) Int.Cl. <sup>3</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/90	D	7353-4M		
21/265				
21/3205				
		7738-4M	H 0 1 L 21/265	Q
		7353-4M	21/88	N
審査請求 未請求 請求項の数 2 (全 5 頁) 最終頁に続く				

(21) 出願番号 特願平3-47338

(22) 出願日 平成3年(1991)2月21日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 角 博文

東京都品川区北品川6丁目7番35号 ソニー株式会社内

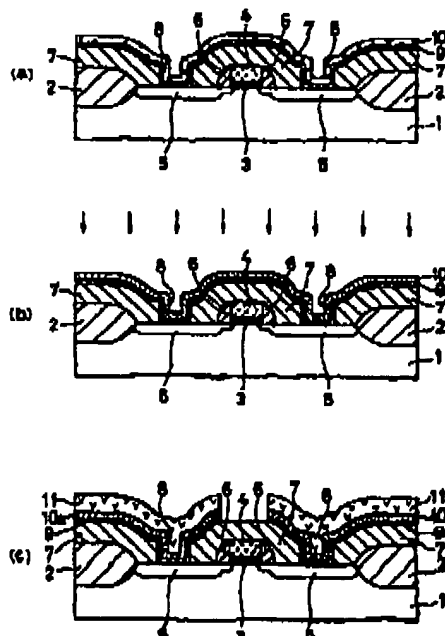
(74) 代理人 弁理士 小池 晃 (外2名)

(54) [発明の名称] 配線形成方法

(57) [要約]

【目的】 T1系バリアメタルのバリア性を向上させる。

【構成】 MOSトランジスタのソース/ドレイン領域5に臨んで層間絶縁膜7に開口されたコンタクト・ホール8を被覆してT1層9およびT1N層10を順次積層する。次にN<sub>2</sub>等の不活性物質をイオン注入することにより、上記T1N層10の柱状結晶構造を破壊し、非晶質化T1N層10aとする。これにより、速い拡散経路を提供していた結晶粒界が消失し、AlやSiの拡散が抑制される。この後、Al-1%Si等の材料を全面にスパッタリング等により被着する。このときのコンタクト・ホール8の埋め込み特性は良好である。さらに、バタニングによりAl系配線パターン11を形成する。接合リーク電流の測定結果から、上記非晶質化T1N層10aの優れたバリア性が実証された。



(2)

特開平4-267959

1

## 【特許請求の範囲】

【請求項1】 基板上の絶縁膜に開口された接続孔の少なくとも底部および側壁部を非晶質化されたチタン系材料層で被覆する工程と、少なくとも前記接続孔を充填するごとくアルミニウム系材料層を形成する工程とを有することを特徴とする配線形成方法。

【請求項2】 前記チタン系材料層は不活性物質をイオン注入することにより非晶質化されてなることを特徴とする請求項1記載の配線形成方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造等に適用される配線形成方法に関し、特にチタン(Ti)系材料層からなるバリアメタルを有するコンタクト部において、いわゆるアルミ・スパイクに対する耐性を向上させる方法に関する。

【0002】

【従来の技術】 近年のVLSI、ULSI等にみられるように、半導体装置のデザイン・ルールが高度に縮小されるに伴って接合が一段と浅くなり、またコンタクトホールが一段と微細化されてくると、拡散層へのアルミニウム(AI)の析出やコンタクトホール中における電極配線材料からのシリコン(Si)の析出等により接合の破壊や劣化、あるいはコンタクト抵抗の増大等の不良が起り易くなる。そのため、電極配線材料とSi基板との間の合金化反応やSiの析出を防止する目的で、両者の間にバリアメタルを設けることが一般化している。このバリアメタルは、通常、遷移金属またはその氧化物、炭化物、窒化物、ボウ化物等の遷移金属化合物の他、高融点金属シリサイド、合金等で形成される。また、その成りも単層のみならず、複数の種類の膜が組み合わ

【0003】 たとえば、基板側からAl系材料層側へ向けて順にTi層とTiN層とが積層されてなる2層構造のバリアメタル(Ti/TiN系)はその代表例である。Ti層は酸素に対して高い親和力を有するため不純物拡散層の表面に形成されている自然酸化膜を還元する作用があり、低抵抗のオーミック・コンタクトを安定に達成する観点からは優れたコンタクト材料である。しかし、単独ではバリアメタルとしての機能を十分に果た

ない。それは、Si基板とAl系材料層との間にTi層が単独で介在されていても、SiとTiの反応、およびTiとAlの反応の両方が進行するために、Si基板へのAlの突き抜け、すなわちアルミ・スパイクの発生が防止できないからである。一方のTiN層は、熱力学的にSiに対して安定でありTi層よりはバリア性は高いが、特にp型Siに対するコンタクト抵抗が高いという問題がある。また、真空蒸着形成技術により成膜される際の結晶粒径が200Å前後でありしかも柱状構造を有しているため、熱処理を経るとAlが粒界を拡散し、

2

やはりアルミ・スパイクを十分に防止し切れない。また、Si基板上へ直接に形成された場合には、膜中に不純物として取り込まれた酸素が該Si基板との界面に偏析する傾向があるため、単独では常に低抵抗なオーミック・コンタクトを形成することは困難である。そこで、Si基板上にまずTi層を形成し、続いてTiN層を積層することにより、両層の長所を活かしているわけである。

【0004】 また、バリア性をより一層向上させるための対策として、近年ではTiN層の成膜時に酸素を導入してTiON層とした2層構造のバリアメタル(Ti/TiON系)も提案されている。これは、TiNの粒界に酸素を偏析させることにより、Alの粒界拡散を防止することを意図したものである。

【0005】

【発明が解決しようとする課題】 しかしながら、TiON層を用いた場合にはバリア性は向上するものの、次のような問題点が新たに生じてしまう。第一の問題点は、酸素を含まないTiN層に比べてコンタクト抵抗が1桁以上も増大してしまうことである。第二の問題点は、TiN層を使用した場合と比べてアフタコロージョンが発生し易くなることである。Al系材料層およびバリアメタルのドライエッチング用ガスとしては通常BCl<sub>3</sub>等の塩素系ガスが使用されるが、このガスがTiON層中の酸素と反応してCl<sub>2</sub>を発生させるからである。アフタコロージョンにはこのような化学的な要因の他に、構造的な要因もある。すなわち、TiON層は表面のモホロジーが粗く、TiN層と比べてAl系材料層との濡れ性に劣るので、Al系材料層との界面に残留酸素を滞留させる場を提供し易いからである。第三の問題点は、ステップ・カバレッジ(段差被覆性)の劣化である。近年の高集積化された半導体装置においては、下層配線と上層配線の接続を図るために層間絶縁膜に開口される接続孔の開口径も微細化し、アスペクト比が1を超えるようになってきている。しかし、TiON層は前述のように表面のモホロジーが粗く、Al系材料との濡れ性や反応性に劣るため、スパッタリングによりAl系材料を被覆させても接続孔は均一に埋め込まれず、露(す)が発生し易い。

【0006】 このように、従来の技術では低抵抗性、高いバリア性、優れたステップ・カバレッジ等の要求を同時に満足し得るコンタクト形成を行うことが困難である。そこで本発明は、これらの要求を同時に満足し得る配線形成方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明の配線形成方法は、上述の目的を達成するために提案されるものである。すなわち、本願の第1の発明にかかる配線形成方法は、基板上の絶縁膜に開口された接続孔の少なくとも底部および側壁部を非晶質化されたTi系材料層で被覆す

(3)

特開平4-267359

3

る工程と、少なくとも前記接続孔を充填するとくA1系材料層を形成する工程とを有することを特徴とするものである。

【0008】本願の第2の発明にかかる配線形成方法は、前記T1系材料層が不活性物質をイオン注入することにより非晶質化されてなることを特徴とするものである。

【0009】

【作用】真空薄膜形成技術により成膜されるT1系材料層は通常、粒径200Å程度の微細な柱状結晶が集合してなる多結晶組織を有しているが、そのバリア性を高めるには不純物にとって速い拡散経路となる結晶粒界を不活性化することが必須である。従来は、たとえば結晶粒界に酸素を偏析させることにより不活性化を行ってきたわけであるが、その結果得られる膜の問題点についてはT1ON層の場合を例として前述したとおりである。そこで本発明者は、酸素の偏析により結晶粒界を不活性化するのではなく、多結晶組織を破壊して結晶粒界そのものを消滅させることを考え、本発明を提案するに至ったものである。ここで、結晶粒界が完全に消滅されれば非晶質（アモルファス）状態となるが、本発明では多結晶組織を構成する単結晶が高度に微粒子化され、結晶粒界が実質的に速い拡散経路となり得ない程度にまで微細化されていれば目的を達する。したがって、本発明で言う非晶質化とは、完全なアモルファス状態およびそれに近い超微粒子状態を包含するものとする。いずれにしても、アルミ・スパイクに対するバリア性が向上し、しかも表面モロロジーの劣化やアフタコロージョンの助長等の問題が派生しない。本願の第2の発明では、上記非晶質化を達成する手段として、不活性物質のイオン注入を行う。この方法によれば、イオン種、注入エネルギー、ドーズ量等の条件を適宜設定することにより、薄いT1系材料層について制御性良く所望の非晶質化を行うことが可能となる。

【0010】

【実施例】以下、本発明の好適な実施例について説明する。本実施例は、本願の第2の発明をMOSトランジスタのソース/ドレイン領域におけるコンタクト形成に適用し、T1N層にN<sub>2</sub>をイオン注入することにより非晶質化した例である。このプロセスを、図1(a)ないし(c)を参照しながら説明する。

【0011】まず、図1(a)に示されるように、S1基板1上にたとえばLOCOS法によりフィールド酸化膜2を形成し、該フィールド酸化膜2により規定される素子形成領域に酸化シリコン等からなるゲート酸化膜3を介してDOPOS等からなるゲート電極4を形成した。次に、上記ゲート電極4をマスクとしてソース/ドレイン領域5を形成するための1回目のイオン注入を行った後、CVD法およびRIE等により常法にしたがって酸化シリコン等からなるサイドウォール6を形成し

4

た。この後、上記ゲート電極4およびサイドウォール6とをマスクとして前記ソース/ドレイン領域5の一部において不純物濃度を高めるための2回目のイオン注入を行い、LDD構造を形成した。さらに、基体の全面にたとえばCVDにより酸化シリコン等を堆積させて層間絶縁膜7を形成し、続いて該層間絶縁膜7をパターニングしてソース/ドレイン領域5に臨むコンタクト・ホール8を開孔した。続いてT1/T1N系の2層構造のバリアメタルを形成した。まず、下層側のT1層9は、一例としてAr流量50SCCM、ガス圧0.47Pa(3.5mTorr)、DCスパッタ・パワー4kW、基板温度300℃の条件でスパッタリングを行うことにより、約300Åの厚さに形成した。また、上層側のT1N層10は、一例としてN<sub>2</sub>流量50SCCM、ガス圧0.47Pa(3.5mTorr)、DCスパッタ・パワー6kW、基板温度300℃の条件で反応性スパッタリングを行うことにより、約700Åの厚さに形成した。

【0012】次に、一例として注入エネルギー50keV、ドーズ量 $5 \times 10^{15}$  atom/cm<sup>2</sup>の条件にてN<sub>2</sub>のイオン注入を基体の全面に行い、図1(b)に示されるように、上記T1N層9を非晶質化T1N層9aに変化させた。

【0013】さらに、スパッタリングによりAl-1%Si層を約4000Åの厚さに成膜した。スパッタリング条件は、一例としてAr流量100SCCM、ガス圧0.47Pa(3.5mTorr)、DCスパッタ・パワー22.7kW、基板温度200℃とした。このとき、基体の全面はAl-1%Si層に被覆され、コンタクト・ホール8の内部も被覆することなく均一に埋め込まれた。最後に、BCl<sub>3</sub>/Cl<sub>2</sub>系等の塩素系混合ガスを使用してドライエッチングを行うことにより、上記Al-1%Si層、非晶質化T1N層10a、およびT1層9を同時にパターニングし、図1(c)に示されるようにAl系配線パターン11を形成した。このドライエッチングの終了後には、2層構造のバリアメタルの上層側にT1ON層を用いた場合ほど顕著なアフタコロージョンは観察されなかった。

【0014】上述のようにして形成されたMOSトランジスタにおける非晶質化T1N層10aのバリア性を確認するため、所定の温度にて30分間保持したMOSトランジスタのゲート電極に-5.5Vの電圧を印加して接合リーク電流を測定した。この結果、上記MOSトランジスタは600℃でアニールを行った後にも何ら接合リーク電流の増大を示さなかった。このことは、600℃においても非晶質化T1N層10aがAlと反応せず有効なバリアメタルとして機能し、ソース/ドレイン領域5へのAlの突き抜けが防止されていることを意味している。

【0015】ところで、本発明は上述の実施例に何ら限

(4)

特開平4-267359

定されるものではなく、たとえば上記TIN層9を非晶質化するためのイオン注入は、基体の全面について行わずにたとえば適当なマスクを介してコンタクト部の近傍においてのみ行うようにしても良い。また、注入する不活性物質もTINの化学的性質に顕著な変化をもたらすものでなければ上述のN<sub>2</sub>に限られるものではなく、たとえばAr, H<sub>2</sub>, T<sub>2</sub>等をイオン注入することもできる。

【0016】

【発明の効果】以上の説明からも明らかなように、本発明を適用すれば低抵抗であり、かつバリア性、段差被覆性に優れるコンタクト形成が可能となる。したがって、本発明は微細なデザイン・ルールにもとづき高集積度および高性能を要求される半導体装置の製造に極めて好適である。

【図面の簡単な説明】

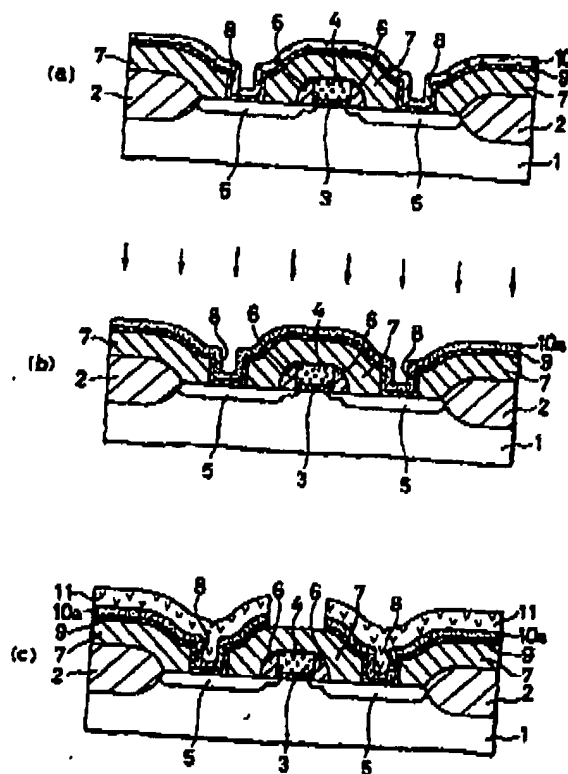
【図1】 本願の第2の発明をMOSTランジスタの製

造に適用した一例をその工程順にしたがって示す概略断面図であり、(a)はコンタクト・ホール形成された層間絶縁膜を被覆してT<sub>1</sub>層とTIN層からなる2層構造のバリアメタルが積層された状態、(b)はイオン注入により上記TIN層が非晶質化された状態、(c)はAl系配線パターンが形成された状態をそれぞれ示す。

【符号の説明】

- 1 . . . Si基板
- 4 . . . ゲート電極
- 5 . . . ソース/ドレイン領域
- 7 . . . 層間絶縁膜
- 8 . . . コンタクト・ホール
- 9 . . . T<sub>1</sub>層
- 10 . . . TIN層
- 10a . . . 非晶質化TIN層
- 11 . . . Al系配線パターン

【図1】



(5)

フロントページの続き

特開平4-267369

(51) Int. Cl.:

識別記号

庁内整理番号  
7353-4M

F I

H 0 1 L 21/88

技術表示箇所

R